

### Синтезатор DDS300 КАМАК (опытный)

Блок выполнен в КАМАК 1М.

На передней панели (сверху вниз):

- Индикация обращения к блоку
- Out1 и Out2 – аналоговые выходы
- Вход компаратора
- Out – цифровой многофункциональный выход

#### **Команды**

N A(0) F(16) - запись данных в регистр AD9854

N A(0) F(0) - чтение регистра AD9854

N A(\*) F(26) - UPDATE (перепись из буфера в рабочий регистр)

N A(1) F(16) – запись адреса Register для чтения

N A(2) F(16) - запись в Статусный регистр Блока

N A(2) F(0) - чтение Статусного регистра Блока

N A(3) F(1) – чтение информационного байта (сер. Номер)

C – общий сброс (устанавливает SR=0, CR= Default, Частота = 0Гц, Фаза=0)

#### **Управление**

Режим работы Блока определяется Статусным регистром Блока (2 бит) и Control Register AD9854 (адреса hex 1D, 1E, 1F, 20).

Статусный регистр (SR) задает использование внутреннего или внешнего опорного генератора (W1), переключает источник сигнала для выхода OUT и разрешает/запрещает запись в Запись в Control Register (W3). Запись – NA(2)F(16), чтение - NA(2)F(0).

W3	W2	W1	Режим	Default
*	*	0	Опора внутренняя	*
*	*	1	Опора внешняя	
*	0	*	Выход out = выход опорного ген.	*
*	1	*	Выход out = выход компаратора	
0	*	*	Запись в Control Register - запрещена	*
1	*	*	Запись в Control Register - разрешена	

Бит W3 автоматически сбрасывается в 0 при записи байта. Значение Default (SR=0) устанавливается при включении питания или подачей «общего сброса».

Control Register (CR) AD9854 задает режим работы микросхемы

Адрес (hex)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default (hex)
1D	Don't Care CR [31]	Don't Care	Don't Care	Comp PD	Reserved, Always Low	QDAC PD	DAC PD	DIG PD	0
1E	Don't Care	PLL Range	Bypass PLL	Ref Mult 4	Ref Mult 3	Ref Mult 2	Ref Mult 1	Ref Mult 0	6
1F	CLR ACC 1	CLR ACC 2	Triangle	SRC QDAC	Mode 2	Mode 1	Mode 0	INT/EXT Update Clk	0
20	Don't Care	Bypass Inv Sinc	OSK EN	OSK INT	Don't Care	Don't Care	LSB First	SDO Active CR [0]	40

Значения Default устанавливаются в соответствии с зашитыми в ALTERA уставками при включении питания блока:

Компаратор включен,  
REF\_MULT=6,  
Ext. Update clk

Mode 000 – одна частота (FTW1) и фаза (Phase Adjust 1)  
 Выходы out1 и out2 выдают ортогональный сигнал,  
 Выходной фильтр InvSinc выключен.  
 Управление амплитудой выхода отключено (максимальная амплитуда).

*Запись* осуществляется побайтно напрямую по адресу (hex 00...27) в Register AD9854 командой NA(0)F(16). Перепись из буфера в рабочий регистр - командой NA(\*)F(26) (Если в CR установлен “ext Update clk”).

Формат 14 битного слова

Адрес регистра AD9854 (6 бит)						Данные (8бит)							
W14	W13	W12	W11	W10	W9	W8	W7	W6	W5	W4	W3	W2	W1

Для записи в Control Register (Адреса hex 1D...20) необходимо предварительно ее разрешить установкой в Статусном регистре Бит3=1. Любая операция записи в Register AD9854 сбрасывает Бит3=0 (т.е. для записи каждого байта Control Register необходимо взводить Бит3=1). Такая процедура предусмотрена для исключения случайного изменения уставок Control Register и тем самым установки режима с повышенным энергопотреблением AD9854, когда возможен перегрев микросхемы.

*Чтение* Register производится в два этапа:

- 1) Записывается адрес регистра AD9854 для чтения (W14...W9) NA(1)F(16)
- 2) Читается байт по заданному адресу NA(0)F(0)

Возможно чтение последнего записанного байта без предварительной записи адреса, поскольку последний адрес сохраняется в адресном регистре.

*Запись частоты.*

Код частоты (48 бит = 6 байт) записывается побайтно по адресам (hex) 04, 05, 06, 07, 08, 09 в любом порядке (регистры FTW1). Записанная частота начинает генерироваться по команде NA(\*)F(26).

Код частоты (48 бит) определяется как:

$$FTW = \text{floor}(FS * \text{pow}(2.0, N) / \text{SYSCLK})$$

Где

N=48

FS – задаваемая частота (кГц)

SYSCLK=FGEN\*REF\_MULT – внутренняя тактовая частота (кГц) (рекомендуется <200 МГц).

FGEN – опорная частота, внутренняя (30000 кГц) или внешняя (5...300 МГц)

REF\_MULT – к-т умножения опорной частоты (4...20) (при включении =6)

*Запись фазы.*

Фаза меняется одновременно для обоих выходов.

Код фазы (14 бит) записывается побайтно по адресам (hex) 01, 00 в любом порядке (регистры Phase Adjust 1). Записанная фаза устанавливается по команде NA(\*)F(26).

Возможность записи по любому адресу в регистры AD9854 позволяет задавать любые режимы определяемые спецификацией микросхемы синтезатора AD9854.